

教育を目的としたマスクレイアウトの違いによる回路の特性評価

外山貴子

宮崎大学 工学部 教育研究支援技術センター

1 はじめに

アナログ集積回路をLSIにするには、回路設計後にLSIを作るためのデータ作成作業である、マスクレイアウトを行う必要がある。アナログ回路の場合は、ほぼ自動化されているデジタル回路と異なり、手作業でのマスクレイアウトが大部分で求められる。各素子のマスクレイアウトのレイヤー構成は、試作プロセスにより決まっているが、素子の配置や他の素子からの影響を受けないようなマスクレイアウト手法がいくつか存在している[1]。これは、回路図上では全く同じ構成であっても、マスクレイアウト次第で、その特性が異なると言われているからである。

そこで、マスクレイアウトの違いによる試作LSIの測定結果の違いを明確にし、回路図に現れないマスクレイアウトの重要性を教育するためのLSI試作を行ったので、その結果について報告する。

2 試作回路

試作した回路は、図1に示すような素子数が少ない簡単な構成のオペアンプとした。抵抗は製造工程でその値に大きなばらつきが発生するため、評価の際同一の条件となるよう、バイアス電流用の抵抗は外付けとした。また、1つのチップに、回路構成及び素子値はすべて同じだが、異なるマスクレイアウトで構成したものを6回路作り込んだ。

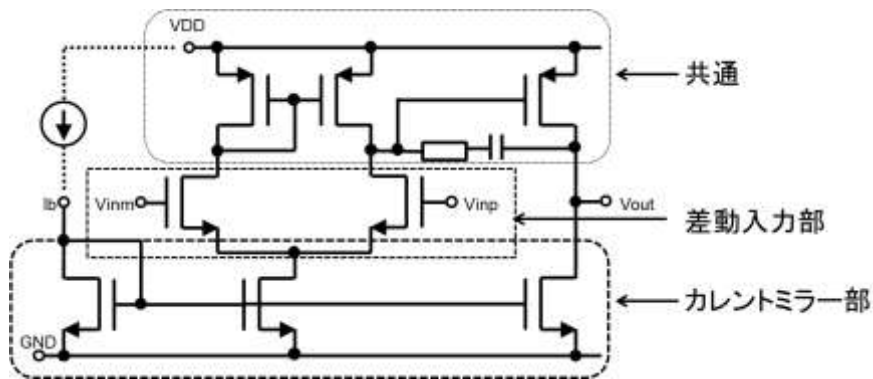


図1 試作回路

3 マスクレイアウト

図1の各部分のマスクレイアウトを表1に示す。各部分のマスクレイアウトの例をあげる。例えば、差動入力部のマスクレイアウトの一つは、図2のような「マルチフィンガー+コモンセントロイド」で描画し、カレントミラー部の例としては、図3のような「クロスカップル接続で電流の向きを同一方向」に描画した。

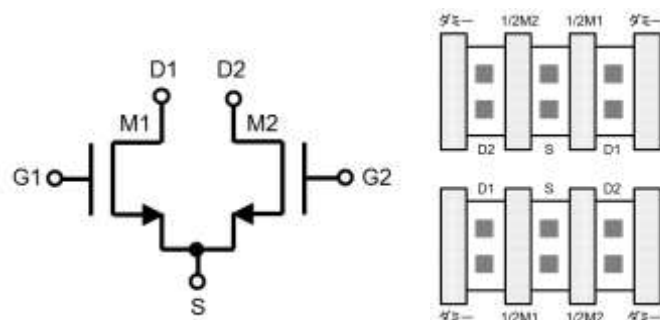


図2 差動入力部の回路図(左)とマスクレイアウト例 DS1(マルチフィンガー+コモンセントロイド)(右)

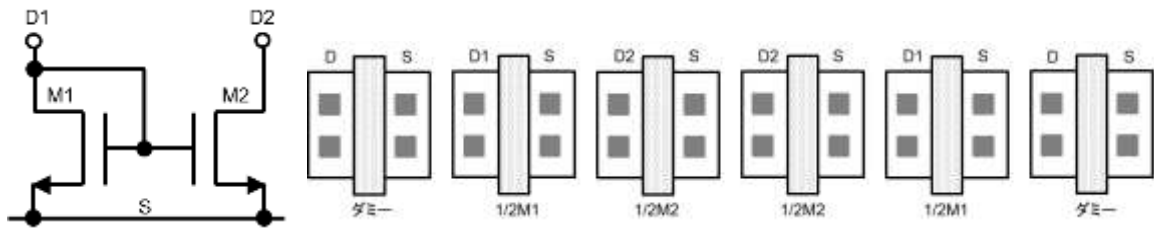


図3 カレントミラー部の回路図（左）とマスクレイアウト例CM1（クロスカップル）（右）

表1 各マスクレイアウトの構成

マスク名	差動入力部	カレントミラー部	補足
Amp1	DS1	CM1	
Amp2	DS2	CM2	DS1 及び CM1 のダミーMOS なし
Amp3	DS1	CM3 (DS1)	カレントミラー部を DS1 のように描画
Amp4	DS3 (CM1)	CM1	差動入力部を CM1 のように描画
Amp5	DS4	CM4	DS3 及び CM1 の電流の向きが異なる
Amp6	DS5	CM1	DS5 は DS1 を MOS 単体で描画

4 実験結果とまとめ

チップの試作は、2 μ m CMOS プロセスで行い、回路シミュレーションは HSpice で行った。正常動作した回路の実験結果の平均値とシミュレーション値との誤差率を表2に示す。

表2 シミュレーション値と実験結果の誤差率

項目	Amp1 [%]	Amp2 [%]	Amp3 [%]	Amp4 [%]	Amp5 [%]	Amp6 [%]
消費電流	-7.80	-0.63	0.03	4.45	12.49	-17.82
入力電圧範囲	-7.92	-10.51	-15.85	-21.21	-13.96	-21.66
スルーレート（立上り）	-94.56	-91.14	-84.31	-89.69	-88.24	-95.00
スルーレート（立下り）	-94.94	-96.59	-96.54	-95.05	-96.62	-97.33
出力電圧範囲	0.77	-8.68	-4.04	-0.77	-4.15	-13.85

作成したチップの1/5しか測定が終わっていないため、これらの結果について一概には言えないことを前置きしておく。スルーレートはすべての回路で誤差が大きかったが、その他の項目は、ほぼシミュレーション値と近い値であった。スルーレートの項目を除くと、Amp1のみ誤差率が10%以内に収まっている。表2より、各回路ブロックに好ましいマスクレイアウトがわかる。この結果から、マスクレイアウトの重要性がわかる教育を目的としたLSI試作という当初の目的はある程度達成できたと考える。今後の課題は、測定結果が多少ばらついているため、未測定チップの評価を行い、より信頼性のあるデータを取得することである。

謝辞

この試作は、「第3回 ユニーク・自作チップ・コンテスト in ひびきの」に応募し実現したものであり、IC製作は、北九州学術研究都市 共同研究開発センターにて行った。試作の機会を戴きましたコンテスト関係各位へお礼申し上げます。

参考文献

[1] B. Razavi, “アナログCMOS集積回路の設計 応用編”, 丸善.